

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09231056 A**(43) Date of publication of application: **05.09.97**

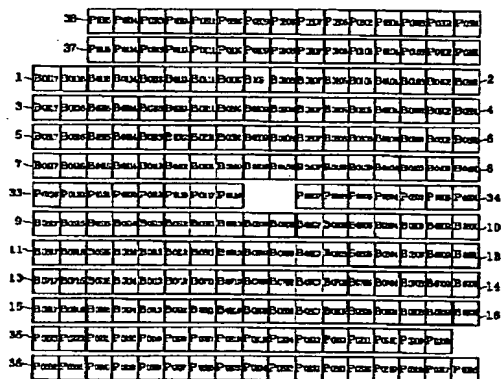
(51) Int. Cl.

G06F 7/52(21) Application number: **08040111**(22) Date of filing: **27.02.96**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **MAKINO HIROYUKI****(54) MULTIPLICATION DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To reduce an area required for a multiplication device by separating the respective primary adders of a Wallace tree part with the specified digit of a multiplied result as a boundary and providing a high-order adder and a low-order adder arranged in mutually different rows.

SOLUTION: The high-order adder 33 and the low-order adder 37 for constituting the primary adder A are arranged in the mutually different rows. Similarly, the high-order adder 35 and the low-order adder 34 for constituting the primary adder B are arranged in the mutually different rows and further, the high-order adder 36 and the low-order adder 38 for constituting a secondary adder are arranged in the mutually different rows. Thus, in the case that a shifter/inverter, the primary adders A and B and the secondary adder are arrayed, the maximum value of a width in the row direction does not exceed 17 bits provided in the high-order adder 36. That is, by dividing and arranging the primary adders A and B and the secondary adder which are the cause of obstructing the reduction of the width of the row direction in a conventional technique, the width in the row direction is reduced.

COPYRIGHT: (C)1997,JPO



(11)特許出願公開番号

(43)公開日 平成9年(1997)9月5日

技術表示箇所

3 1 0 A

(74)代理人 弁理士 吉田 茂明 (外2名)

[illegible]

【特許請求の範囲】

【請求項 1】 被乗数と、乗数に基づいて得られる複数の修正乗数とを入力し、前記複数の修正乗数のそれぞれに対応した第 0 次部分積を生成する複数の部分積生成部と、

第 j ($0 \leq j \leq i-1$) 次部分積を特定数毎に加算して第 i ($1 \leq i$) 次部分積を生成する少なくとも一つの第 i 次加算器を有し、部分積の数を順次減少させつつ樹木状の加算を行って一対の最終部分積を出力するワレス・ツリー部と、

前記最終部分積を加算することにより、前記被乗数と前記乗数との乗算結果を得る最終加算器とを備え、前記ワレス・ツリー部の前記第 i 次加算器のそれぞれは、前記乗算結果の特定の桁を境界として分離され、互いに異なる行に配置される上位加算器と下位加算器とを有する乗算装置。

【請求項 2】 前記第 1 次加算器は一対設けられ、一方の前記第 1 次加算器の前記上位加算器は、他方の前記第 1 次加算器の前記上位加算器よりも行方向に短く、他方の前記第 1 次加算器の前記下位加算器は、一方の前記第 1 次加算器の前記下位加算器よりも行方向に短く、前記一方の前記第 1 次加算器の前記上位加算器と、前記他方の前記第 1 次加算器の前記下位加算器とが同一の行に配置される、請求項 1 記載の乗算装置。

【請求項 3】 前記部分積生成部の一端と、前記第 i 次加算器のそれぞれの一端とが同一の列に揃って配置される、請求項 2 記載の乗算装置。

【請求項 4】 前記部分積生成部のそれぞれが、前記第 1 次加算器の前記上位加算器に対応する上位部と、前記第 1 次加算器の前記下位加算器に対応する下位部とに分割され、前記第 1 次加算器の前記上位加算器は、いずれかの前記部分積生成部の前記下位部と同じ行に配置され、前記第 1 次加算器の前記下位加算器は、いずれかの前記部分積生成部の前記上位部と同じ行に配置される、請求項 1 記載の乗算装置。

【請求項 5】 前記乗数に基づいてブースのアルゴリズムに従って前記複数の修正乗数をそれぞれ生成する複数のブース・エンコーダを更に備える、請求項 1 記載の乗算装置。

【請求項 6】 前記部分積生成部のそれぞれが、前記第 1 次加算器の前記上位加算器に対応する上位部と、前記第 1 次加算器の前記下位加算器に対応する下位部とに分割され、前記複数のブース・エンコーダの各々は、対応する前記部分積生成部の前記上位部と同一の行に配置される、請求項 5 記載の乗算装置。

【請求項 7】 前記複数のブース・エンコーダは、それぞれが対応する前記部分積生成部の前記下位部と同一の行に配置される、請求項 6 記載の乗算装置。

【請求項 8】 前記複数のブース・エンコーダの各々は、対応する前記部分積生成部の前記上位部及び前記下位部に挟まれて配置される、請求項 7 記載の乗算装置。

【請求項 9】 前記第 1 次加算器の前記上位加算器は、いずれかの前記部分積生成部の前記下位部と同じ行に配置され、

前記第 1 次加算器の前記下位加算器は、いずれかの前記部分積生成部の前記上位部と同じ行に配置される、請求項 6 記載の乗算装置。

【請求項 10】 前記複数のブース・エンコーダの各々は、対応する前記部分積生成部とは異なる前記部分積生成部の前記下位部または前記第 i 次加算器の前記下位加算器と、対応する前記部分積生成部の前記上位部との間に挟まれて配置される、請求項 9 記載の乗算装置。

【請求項 11】 前記部分積生成部のそれぞれが、前記第 1 次加算器の前記上位加算器に対応する上位部と、前記第 1 次加算器の前記下位加算器に対応する下位部とに分割され、

前記部分積生成部のそれぞれの前記上位部及び前記下位部は異なる行に配置され、

前記複数のブース・エンコーダの各々は、対応する前記部分積生成部の前記上位部が配置される行と、対応する前記部分積生成部の前記下位部とが配置される行との間の行に配置される、請求項 5 記載の乗算装置。

【請求項 12】 前記第 1 次加算器は一対設けられ、一方の前記第 1 次加算器の前記下位加算器は、他方の前記第 1 次加算器の前記下位加算器に関して、他方の前記第 1 次加算器の前記上位加算器と反対側に配置される、請求項 1 記載の乗算装置。

【請求項 13】 前記ワレス・ツリー部は、前記第 i 次加算器のそれぞれの前記下位加算器の最上位桁からそれぞれ得られるキャリーである下位キャリーを加算するキャリー用加算器を更に有し、

前記最終加算器は、前記一対の最終部分積の上位側である一方と、前記キャリー用加算器の出力との加算を行う前段加算器と、

前記前段加算器の出力と、前記一対の最終部分積の下位側である他方のうち、前記下位キャリーを除く部分とを入力して前記乗算結果を得る後段加算器とを有する、請求項 1 記載の乗算装置。

【請求項 14】 前記ワレス・ツリー部は、前記第 i 次加算器の前記下位加算器の最上位桁からそれぞれ得られる一対のキャリーである下位キャリー対の一方同士を加算するキャリー用加算器を更に有し、

前記第 i 次加算器の前記下位加算器の前記下位キャリー対の他方は、それぞれ前記第 i 次加算器の前記上位加算器の最下位桁のキャリー・インとして機能し、

前記最終加算器は、前記一対の最終部分積の上位側である一方と、前記キャリー用加算器の出力との加算を行う前段加算器と、

前記前段加算器の出力と、前記一对の最終部分積の下位側である他方のうち、前記下位キャリーを除く部分とを入力して前記乗算結果を得る後段加算器とを有する、請求項1記載の乗算装置。

【請求項15】 前記第 i 次加算器の前記下位加算器の前記下位キャリー対の一方は、それぞれ前記第 i 次加算器の前記上位加算器の最下位桁のキャリー・インとして機能し、

前記第 i 次加算器の前記下位加算器の前記下位キャリー対の他方は、前記第 $(i+1)$ 次加算器の前記上位加算器の最下位桁の入力として機能する、請求項1記載の乗算装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、乗算装置に関し、特にワレス・ツリーを用いた乗算装置に関するものである。

【0002】

【従来の技術】乗算は、コンピュータにおいて最も多く行われる演算の一つであり、高速の計算システムを構成する際、乗算速度を向上させることは必須である。このような高速の乗算を実現するための手法として、乗数を修正して、部分積の総数を低減するブースのアルゴリズムが良く知られている。また、部分積を樹木状に加算して更に部分積の総数を順次低減する、ワレス・ツリーを用いた乗算装置も良く知られている。

【0003】図19は上記の2つの手法を用いた乗算器の構成を示すブロック図である。かかる構成は例えば特開平3-177922号において記載されている。被乗数101及び乗数102は例えばいずれも16ビットで構成される。ブース・エンコード103は乗数102を修正した乗数（ここでは「修正乗数」と仮称する）を出力する。

【0004】一般的には n 次のブースのアルゴリズムを用いて修正乗数を求めれば部分積の総数を原初的に n 分の1に低減することができる。ここで「原初的」とは、被乗数と修正乗数の1ビットとの演算によって得られる部分積の総数に関することを意味し、かかる部分積を第0次部分積と仮称する。

【0005】ブースのアルゴリズムの次数が多くなると第0次部分積に要する回路規模が大きくなり、またこれにともなって第0次部分積の生成に要する時間も大きくなるので、通常は2次のブースのアルゴリズムが多用される。図19に示された例でも2次のブースのアルゴリズムが採用され、16ビットの $1/2$ に相当する8ビット分の修正乗数を出力するブースエンコード素子45～52が、ブース・エンコード103において設けられている。

【0006】ブースエンコード素子45～52の出力104～111は修正乗数であるとともに、シフト/イン

バータ113～120のそれぞれの制御信号でもある。

2次のブースのアルゴリズムにおいては修正乗数が1の場合には被乗数をそのままにして、2の場合には1ビットシフトさせ、更に修正乗数が負数である場合には反転させることにより演算が行われる。よって、シフト/インバータ113～120はそれぞれ出力104～111に基づいて、被乗数101をそのままにして、或いは1ビットシフトし、又はそれらを更に反転することにより第0次部分積121～128が生成される。

【0007】ブースエンコード素子45～52はこの順に位が高くなって行くので、その出力104～111によって制御されるシフト/インバータ113～120によって生成される第0次部分積121～128もこの順に位が高い。そして2次のブースのアルゴリズムが採用されているので、修正乗数において位が1ビット高いほど、第0次部分積においては位が2ビット高くなる。

【0008】第0次部分積121～127はワレス・ツリー部129に入力し、樹木状に足し合わされて第1次部分積、第2次部分積、…が生成される。部分積の次数が高まるほど、その数は低減していく。

【0009】図20はワレス・ツリー部129の構成を模式的に例示するブロック図である。「模式的」としたのは、部分積同士のビットを整合させる様子が示されていないためである。ワレス・ツリー部129は第1次加算器138、139及び第2次加算器140を有している。第1次加算器138には4つの第0次部部積121～124が与えられ、一对（つまり総数としては2つ）の第1次部分積141を生成する。また第1次加算器139には4つの第0次部部積125～128が与えられ、一对の第1次部分積142を生成する。更に第2次加算器140には2対（つまり総数としては4つ）の第1次部分積141、142が与えられ、一对の最終部分積（第2次部分積でもある）130を生成する。

【0010】図21は第1次加算器138の構成を例示する回路図である。4入力（キャリー・イン付き）2出力（キャリー・アウト付き）の加算素子 $P_{0101} \sim P_{01n}$ が順次直列に接続されている。これらの加算素子 $P_{0101} \sim P_{01n}$ はいずれもキャリー・イン端子 C_i と、部分積121～124のそれぞれの1ビットを受ける入力端子 $I_1 \sim I_4$ と、キャリー・イン端子 C_i と入力端子 $I_1 \sim I_4$ とに与えられた合計5ビットの加算結果の下位ビットを出力するサム端子 S と、いずれも同位の上位ビットを出力するキャリー端子 C 及びキャリー・アウト端子 CO とを備えている（ $C_i + I_1 + I_2 + I_3 + I_4 = C \times 2 + CO \times 2 + S$ ）。そして、加算素子 P_{01i} のキャリー・アウト端子 CO は加算素子 $P_{01(i+1)}$ のキャリー・イン端子 C_i に接続されている（ $1 \leq i \leq n-1$ ）。

【0011】第1次加算器139及び第2次140も同様にして構成されているが、後述するように、第1次加

算器138, 139では $n=23$ に、第2次加算器140では $n=32$ あるいは24に設定される。

【0012】図22は4入力2出力の加算素子の構成を例示する回路図である。このような論理ゲートの組み合わせによって上記動作を行う加算素子を実現することができ、キャリー・イン端子CIからの出力はキャリー・アウト端子COからの出力には影響を与えない。

【0013】一対の最終部分積130は最終加算部131において加算され、乗算結果74が得られる。最終加算部131はその動作を高速に行うため、キャリー・ルック・アヘッド方式が多用される。

【0014】図23乃至図26は四者相まって、図19に示された従来の乗算装置の構成の内、シフタ/インバータ113~120と、第1次加算器138, 139及び第2次加算器140との接続関係のみを詳細に示した回路図である。図23は仮想線Q4Q4によって図25と、仮想線Q5Q5によって図24と、それぞれ連続する。また図26は仮想線Q6Q6によって図24と、仮想線Q7Q7によって図25と、それぞれ連続する。

【0015】通常、ワレス・ツリー部129はこのように、その構成要素である第1次加算器138, 139及び第2次加算器140が、シフタ/インバータ113~120と混在して配置される。

【0016】シフタ/インバータ113~120は、被乗数101が16ビットであり、これを1ビット左シフトする場合をも想定して17ビットのシフト/インバート素子によって構成されている。例えばシフタ/インバート113は最下位ビットから最上位ビットへ向かう順にシフト/インバート素子 $B_{0101} \sim B_{0117}$ を行方向に並べて備えている。同様にして、シフタ/インバート114~120はそれぞれシフト/インバート素子 $B_{0201} \sim B_{0217}$, $B_{0301} \sim B_{0317}$, $B_{0401} \sim B_{0417}$, $B_{0501} \sim B_{0517}$, $B_{0601} \sim B_{0617}$, $B_{0701} \sim B_{0717}$, $B_{0801} \sim B_{0817}$ を備えている。

【0017】第1次加算器138は加算素子 $P_{0101} \sim P_{0123}$ を備えている。4個の第0次部分積113~116は順次2ビットずつ位が異なるので、加算素子の数は $17 + (4-1) \times 2 = 23 < \text{個} >$ となる。同様にして、第1次加算器139は加算素子 $P_{0201} \sim P_{0223}$ を備えている。

【0018】第1次加算器138に与えられる第0次部分積の内最下位のビットと、第1次加算器139に与えられる第0次部分積の内最下位のビットとは $4 \times 2 = 8 < \text{ビット} >$ 異なるので、両者の出力である一対の第1次部分積を受ける第2次加算器140は、 $23 + 8 = 31 < \text{個} >$ の加算素子 $P_{0301} \sim P_{0331}$ に加え、第1次加算器139の最上位ビットのキャリー端子Cの出力を受ける加算素子 P_{0332} をも備えている。

【0019】図において記号「/」が付された配線は複数ビットを一括する配線であることを示し、その傍らに

付された数字はそのビット総数を示している。但し、ビット総数が2である場合には特に数字を付してはいない。

【0020】シフタ/インバート113から得られる第0次部分積121は1ビットずつ加算素子 $P_{0101} \sim P_{0117}$ に与えられる。同様にして、第0次部分積122~128はそれぞれ加算素子 $P_{0103} \sim P_{0119}$, $P_{0105} \sim P_{0121}$, $P_{0107} \sim P_{0123}$, $P_{0201} \sim P_{0217}$, $P_{0203} \sim P_{0219}$, $P_{0205} \sim P_{0221}$, $P_{0207} \sim P_{0223}$ に与えられる。

【0021】第1次部分積141のうち、各加算要素 $P_{0101} \sim P_{0123}$ のサム端子Sから得られるものは、それぞれ第2次加算器140の加算素子 $P_{0301} \sim P_{0323}$ に与えられる。そして各加算要素 $P_{0101} \sim P_{0123}$ のキャリー端子Cから得られるものは、それぞれ第2次加算器140の加算素子 $P_{0302} \sim P_{0324}$ に与えられる。各加算要素において、キャリー端子Cから得られるものは、サム端子Sから得られるものよりも1ビット上位のものだからである。

【0022】同様にして、第1次部分積142のうち、各加算要素 $P_{0201} \sim P_{0223}$ のサム端子Sから得られるものは、それぞれ第2次加算器140の加算素子 $P_{0309} \sim P_{0331}$ に与えられる。そして各加算要素 $P_{0201} \sim P_{0223}$ のキャリー端子Cから得られるものは、それぞれ第2次加算器140の加算素子 $P_{0310} \sim P_{0332}$ に与えられる。

【0023】通常、シフタ/インバートと加算器とからなるこのような配列は、相互間に信号を伝達する配線が煩雑となることを回避するため、1ビット分の回路の幅を等しく採る。従って、ワレス・ツリーによる加算が進むにつれ（つまり加算器の次数が増大するにつれ）、加算器の配置に必要な行方向の幅は増大する。図23乃至図26で示された例に即して言えば、第2次加算器140の幅は第1次加算器138, 139のそれよりも広い。

【0024】このような広い構造を必要としないように、2つの手法が採られる。第1には加算素子 $P_{0301} \sim P_{0308}$ の省略である。これらの各々は、加算素子 $P_{0101} \sim P_{0108}$ から2つ以下の入力しか与えられず、従って加算素子 $P_{0301} \sim P_{0308}$ はそれらにそれぞれ入力する値をそのまま出力するに過ぎない為に省略可能である。

【0025】第2には配列の整頓である。図27はシフタ/インバート113~120と加算器138~140の左端を揃えて配置した様子を模式的に示すブロック図である。これらの間の信号の伝達関係は図23乃至図26と同一であるので、煩雑を避けるために簡略化して示している。但し加算素子 $P_{0310} \sim P_{0308}$ は省略されており、第2次加算器140の幅は加算器138, 139のそれよりも1ビット分だけ広い。

【0026】

【発明が解決しようとする課題】しかし、このように配列の整頓を行っても、乗算装置の配置に必要な領域の幅

は第1次加算器138, 139及び第2次加算器140の幅(23~24ビット分)でほぼ決定してしまう。シフト/インバート113~120が要求する幅は17ビット分であり、6~7ビット分の幅を持つ空き領域DS1, DS2が存在してしまい、面積の有効な利用が阻まれる。

【0027】このような空き領域は、乗数のビット数が増大することにともない、第0次部分積の数が増大することによって増大する。また、加算器の回数も増加して行くことでその傾向はより顕著となる。乗算装置においては全体の構成の大半をシフト/インバート、加算器の配列が占めるので、乗数のビット数が増大することは、乗算装置全体の面積を縮小して製造コストを低減することを阻害する。更に配線長が長くなってしまい、性能劣化をも招来するおそれもある。そしてマイクロプロセッサが扱う情報のビット数が増大する傾向にあることは言うを待たない。

【0028】この発明は上記の問題点を解決するためになされたものであり、乗算装置に必要な面積を縮小する技術を提供することを目的とし、以て当該乗算装置を備える半導体集積回路のコストダウンを招来するものである。

【0029】

【課題を解決するための手段】この発明のうち請求項1にかかる乗算装置は、被乗数と、乗数に基づいて得られる複数の修正乗数とを入力し、前記複数の修正乗数のそれぞれに対応した第0次部分積を生成する複数の部分積生成部と、第 j ($0 \leq j \leq i-1$) 次部分積を特定数毎に加算して第 i ($1 \leq i$) 次部分積を生成する少なくとも一つの第 i 次加算器を有し、部分積の数を順次減少させてツリー状の加算を行って一対の最終部分積を出力するワレス・ツリー部と、前記最終部分積を加算することにより、前記被乗数と前記乗数との乗算結果を得る最終加算器とを備える。そして、前記ワレス・ツリー部の前記第 i 次加算器のそれぞれは、前記乗算結果の特定の桁を境界として分離され、互いに異なる行に配置される上位加算器と下位加算器とを有する。

【0030】この発明のうち請求項2にかかるものは、請求項1記載の乗算装置であって、前記第1次加算器は一対設けられ、一方の前記第1次加算器の前記上位加算器は、他方の前記第1次加算器の前記上位加算器よりも行方向に短く、他方の前記第1次加算器の前記下位加算器は、一方の前記第1次加算器の前記下位加算器よりも行方向に短い。そして前記一方の前記第1次加算器の前記上位加算器と、前記他方の前記第1次加算器の前記下位加算器とが同一の行に配置される。

【0031】この発明のうち請求項3にかかるものは、請求項2記載の乗算装置であって、前記部分積生成部の一端と、前記第 i 次加算器のそれぞれの一端とが同一の列に揃って配置される。

【0032】この発明のうち請求項4にかかるものは、請求項1記載の乗算装置であって、前記部分積生成部のそれぞれが、前記第1次加算器の前記上位加算器に対応する上位部と、前記第1次加算器の前記下位加算器に対応する下位部とに分割され、前記第1次加算器の前記上位加算器は、いずれかの前記部分積生成部の前記下位部と同じ行に配置され、前記第1次加算器の前記下位加算器は、いずれかの前記部分積生成部の前記上位部と同じ行に配置される。

【0033】この発明のうち請求項5にかかるものは、請求項1記載の乗算装置であって、前記乗数に基づいてブースのアルゴリズムに従って前記複数の修正乗数をそれぞれ生成する複数のブース・エンコーダを更に備える。

【0034】この発明のうち請求項6にかかるものは、請求項5記載の乗算装置であって、前記部分積生成部のそれぞれが、前記第1次加算器の前記上位加算器に対応する上位部と、前記第1次加算器の前記下位加算器に対応する下位部とに分割され、前記複数のブース・エンコーダの各々は、対応する前記部分積生成部の前記上位部と同一の行に配置される。

【0035】この発明のうち請求項7にかかるものは、請求項6記載の乗算装置であって、前記複数のブース・エンコーダは、それぞれが対応する前記部分積生成部の前記下位部と同一の行に配置される。

【0036】この発明のうち請求項8にかかるものは、請求項7記載の乗算装置であって、前記複数のブース・エンコーダの各々は、対応する前記部分積生成部の前記上位部及び前記下位部に挟まれて配置される。

【0037】この発明のうち請求項9にかかるものは、請求項6記載の乗算装置であって、前記第1次加算器の前記上位加算器は、いずれかの前記部分積生成部の前記下位部と同じ行に配置され、前記第1次加算器の前記下位加算器は、いずれかの前記部分積生成部の前記上位部と同じ行に配置される。

【0038】この発明のうち請求項10にかかるものは、請求項9記載の乗算装置であって、前記複数のブース・エンコーダの各々は、対応する前記部分積生成部とは異なる前記部分積生成部の前記下位部または前記第 i 次加算器の前記下位加算器と、対応する前記部分積生成部の前記上位部との間に挟まれて配置される。

【0039】この発明のうち請求項11にかかるものは、請求項5記載の乗算装置であって、前記部分積生成部のそれぞれが、前記第1次加算器の前記上位加算器に対応する上位部と、前記第1次加算器の前記下位加算器に対応する下位部とに分割され、前記部分積生成部のそれぞれの前記上位部及び前記下位部は異なる行に配置され、前記複数のブース・エンコーダの各々は、対応する前記部分積生成部の前記上位部が配置される行と、対応する前記部分積生成部の前記下位部とが配置される行と

の間の行に配置される。

【0040】この発明のうち請求項12にかかるものは、請求項1記載の乗算装置であって、前記第1次加算器は一对設けられ、一方の前記第1次加算器の前記下位加算器は、他方の前記第1次加算器の前記下位加算器に関して、他方の前記第1次加算器の前記上位加算器と反対側に配置される。

【0041】この発明のうち請求項13にかかるものは、請求項1記載の乗算装置であって、前記ワレス・ツリー部は、前記第 i 次加算器のそれぞれの前記下位加算器の最上位桁からそれぞれ得られるキャリーである下位キャリーを加算するキャリー用加算器を更に有し、前記最終加算器は、前記一对の最終部分積の上位側である一方と、前記キャリー用加算器の出力との加算を行う前段加算器と、前記前段加算器の出力と、前記一对の最終部分積の下位側である他方のうち、前記下位キャリーを除く部分とを入力して前記乗算結果を得る後段加算器とを有する。

【0042】この発明のうち請求項14にかかるものは、請求項1記載の乗算装置であって、前記ワレス・ツリー部は、前記第 i 次加算器の前記下位加算器の最上位桁からそれぞれ得られる一对のキャリーである下位キャリー対の一方同士を加算するキャリー用加算器を更に有し、前記第 i 次加算器の前記下位加算器の前記下位キャリー対の他方は、それぞれ前記第 i 次加算器の前記上位加算器の最下位桁のキャリー・インとして機能し、前記最終加算器は、前記一对の最終部分積の上位側である一方と、前記キャリー用加算器の出力との加算を行う前段加算器と、前記前段加算器の出力と、前記一对の最終部分積の下位側である他方のうち、前記下位キャリーを除く部分とを入力して前記乗算結果を得る後段加算器とを有する。

【0043】この発明のうち請求項15にかかるものは、請求項1記載の乗算装置であって、前記第 i 次加算器の前記下位加算器の前記下位キャリー対の一方は、それぞれ前記第 i 次加算器の前記上位加算器の最下位桁のキャリー・インとして機能し、前記第 i 次加算器の前記下位加算器の前記下位キャリー対の他方は、前記第 $(i+1)$ 次加算器の前記上位加算器の最下位桁の入力として機能する。

【0044】

【発明の実施の形態】

(A) 基本的思想。

図1乃至図4は四者相まってこの発明の基本的思想を示す回路図である。図2は仮想線Q1Q1において図1と、仮想線Q2Q2において図3と、それぞれ連続している。また図4は仮想線Q3Q3において図3と連続している。図1乃至図4には、図23乃至図26と対応した要素のみが示されており、図19に示された構成のうち図23乃至図26で省略された部分、つまりブース・

エンコーダ103や最終加算部131は図1乃至図4においても省略されている。

【0045】この発明の基本的思想は構造的なものと方法的なものとの2通りに把握される。第1の把握の仕方はワレス・ツリーを構成する加算器を特定の桁で分割して異なる行に配置するというものであり、第2の把握の仕方はワレス・ツリーにおける累積的な加算を2分し、それぞれを空間的に互いに異なる方向に向けて進めるというものである。

【0046】シフト/インバータ113は最下位、より正確には乗算結果の最下位から15ビット目と16ビット目との間を境界として、上位2ビット分のシフト/インバート素子 $B_{0116} \sim B_{0117}$ を有する上位部1と、下位15ビット分のシフト/インバート素子 $B_{0101} \sim B_{0115}$ を有する下位部2との2つから構成されていると見ることができる。同様にして、シフト/インバータ114は乗算結果の最下位から15ビット目と16ビット目との間を境界として（シフト/インバータ114自身の最下位から13ビット目と14ビット目を境界として）、上位4ビット分のシフト/インバート素子 $B_{0214} \sim B_{0217}$ を有する上位部3と、下位13ビット分のシフト/インバート素子 $B_{0201} \sim B_{0213}$ を有する下位部4の2つから構成されていると見ることができる。シフト/インバータ115は乗算結果の最下位から15ビット目と16ビット目との間を境界として（シフト/インバータ115自身の最下位から11ビット目と12ビット目を境界として）、上位6ビット分のシフト/インバート素子 $B_{0312} \sim B_{0317}$ を有する上位部5と、下位11ビット分のシフト/インバート素子 $B_{0301} \sim B_{0311}$ を有する下位部6の2つから構成されていると見ることができる。シフト/インバータ116は乗算結果の最下位から15ビット目と16ビット目との間を境界として（シフト/インバータ116自身の最下位から9ビット目と10ビット目を境界として）、上位8ビット分のシフト/インバート素子 $B_{0410} \sim B_{0417}$ を有する上位部7と、下位9ビット分のシフト/インバート素子 $B_{0401} \sim B_{0409}$ を有する下位部8の2つから構成されていると見ることができる。

【0047】更に、シフト/インバータ117は乗算結果の最下位から15ビット目と16ビット目との間を境界として（シフト/インバータ117自身の最下位から7ビット目と8ビット目を境界として）、上位10ビット分のシフト/インバート素子 $B_{0508} \sim B_{0517}$ を有する上位部9と、下位7ビット分のシフト/インバート素子 $B_{0501} \sim B_{0507}$ を有する下位部10の2つから構成されていると見ることができる。シフト/インバータ118は乗算結果の最下位から15ビット目と16ビット目との間を境界として（シフト/インバータ118自身の最下位から5ビット目と6ビット目を境界として）、上位12ビット分のシフト/インバート素子 $B_{0606} \sim B_{0617}$

を有する上位部11と、下位5ビット分のシフト／インバート素子 $B_{0601} \sim B_{0605}$ を有する下位部12の2つから構成されていると見ることができる。シフト／インバート119は乗算結果の最下位から15ビット目と16ビット目との間を境界として（シフト／インバート119自身の最下位から3ビット目と4ビット目を境界として）、上位14ビット分のシフト／インバート素子 $B_{0704} \sim B_{0717}$ を有する上位部13と、下位3ビット分のシフト／インバート素子 $B_{0701} \sim B_{0703}$ を有する下位部14の2つから構成されていると見ることができる。シフト／インバート120は乗算結果の最下位から15ビット目と16ビット目との間を境界として（シフト／インバート120自身の最下位から1ビット目と2ビット目を境界として）、上位16ビット分のシフト／インバート素子 $B_{0802} \sim B_{0817}$ を有する上位部15と、下位1ビット分のシフト／インバート素子 B_{0801} を有する下位部16の2つから構成されていると見ることができる。

【0048】上位部1, 3, 5, 7, 9, 11, 13, 15からは第0次部分積の内の上位側の部分である、上位部分積17, 19, 21, 23, 25, 27, 29, 31がそれぞれ出力される。また、下位部2, 4, 6, 8, 10, 12, 14, 16からは第0次部分積の内の下位側の部分である、下位部分積18, 20, 22, 24, 26, 28, 30, 32がそれぞれ出力される。上位部分積17と下位部分積18は部分積121を、上位部分積19と下位部分積20は部分積122を、上位部分積21と下位部分積22は部分積123を、上位部分積23と下位部分積24は部分積124を、上位部分積25と下位部分積26は部分積125を、上位部分積27と下位部分積28は部分積126を、上位部分積29と下位部分積30は部分積127を、上位部分積31と下位部分積32は部分積128を、それぞれ構成する。

【0049】第1次加算器138は最下位、より正確には乗算結果の最下位から15ビット目と16ビット目との間を境界として上位8ビット分の加算素子 $P_{0116} \sim P_{0123}$ を有する上位加算器33と、下位15ビット分の加算素子 $P_{0101} \sim P_{0115}$ を有する下位加算器37の2つから構成されていると見ることができる。また、第1次加算器139は乗算結果の最下位から15ビット目と16ビット目との間を境界として（第1次加算器139自身の7ビット目と8ビット目との間を境界として）上位16ビット分の加算素子 $P_{0208} \sim P_{0223}$ を有する上位加算器35と、下位7ビット分の加算素子 $P_{0201} \sim P_{0207}$ を有する下位加算器34の2つから構成されていると見ることができる。

【0050】更に、第2次加算器140は最下位、より正確には乗算結果の最下位から15ビット目と16ビット目との間を境界として上位17ビット分の加算素子 $P_{0316} \sim P_{0332}$ を有する上位加算器36と、下位15ビット分の加算素子 $P_{0301} \sim P_{0315}$ を有する下位加算器38

の2つから構成されていると見ることができる。

【0051】第1の把握の仕方に即して説明すれば、第1次加算器138を構成する上位加算器33及び下位加算器37は互いに異なる行に配置されている。同様にして第1次加算器139を構成する上位加算器35及び下位加算器34は互いに異なる行に配置されており、更に第2次加算器140を構成する上位加算器36及び下位加算器38も互いに異なる行に配置されている。従って、上記のようにシフト／インバート113～120、第1次加算器138, 139、及び第2次加算器140が配列された場合には、その行方向の幅の最大値は上位加算器36の有する17ビットを越えることがない。

【0052】つまり本発明によれば、従来の技術において行方向の幅の低減の阻止原因となっていた第1次加算器138, 139、及び第2次加算器140を分割して配列することにより、行方向の幅の低減を可能とする。

【0053】第2の把握の仕方に即して説明すれば、第0次部分積の上位部分積17, 19, 21, 23, 25, 27, 29, 31が図1乃至図4において下方へと伝達され、第1次加算器138, 139のそれぞれの上位加算器33, 35によってそれぞれ第1次部分積の上位部分積39, 40が得られ、更に第2次加算器140の上位加算器36によって第2次部分積の上位部分積43が得られる。

【0054】一方、第0次部分積の下位部分積18, 20, 22, 24, 26, 28, 30, 32が図1乃至図4において下方へと伝達され、第1次加算器138, 139のそれぞれの下位加算器37, 34によってそれぞれ第1次部分積の下位部分積42, 41が得られ、更に第2次加算器140の下位加算器38によって第2次部分積の下位部分積44が得られる。

【0055】このような空間的に異なる2方向への累積的な加算は、第1次加算器138, 139、及び第2次加算器140を分割して配列することにより容易に行うことができる。これによって上下いずれの方向に第1次以降の部分積を取り出す必要があっても、その全体を迂回させる必要がなく、上位ビット、または下位ビットのみを迂回させるのみでよい。

【0056】このように第1次加算器138, 139、及び第2次加算器140を分割して配列した場合でもキャリア端子C及びキャリア・アウト端子COからは信号を得ることができる。例えば下位加算器34の最上位ビットに対応する加算要素 P_{0207} のキャリア端子Cからは信号61が得られる。また加算要素 P_{0207} のキャリア・アウト端子COからは信号62が得られる。但し図2においてはこれは上位加算器33の最下位ビットに対応する加算要素 P_{0116} のキャリア・イン端子CIに与えられるので、図示されていない。下位加算器37の最上位ビットに対応する加算要素 P_{0115} のキャリア端子Cからは信号63が、キャリア・アウト端子COからは信号64

が、それぞれ得られる。また下位加算器 38 の最上位ビットに対応する加算要素 P_{0315} のキャリー端子 C からは信号 65 が、キャリー・アウト端子 CO からは信号 66 が、それぞれ得られる。これらの信号の伝搬に関するバリエーションは次次節の「C. キャリーの処理」において示される。

【0057】B. シフト/インバート及び加算器の配列。

図 1 乃至図 4 に示されたような配列のままでは、行方向の幅の最大値を小さく抑制することはできるが、面積の利用効率を高めるためには、図 27 に示されたように、シフト/インバート 113~120、第 1 次加算器 138、139 及び第 2 次加算器 140 の端部をそろえて配列することが望ましい。本節において示される各種実施の形態では面積の有効な利用を顕著にする配列のバリエーションを提供する。

【0058】(B-1) 実施の形態 1。

図 5 は本発明の実施の形態 1 の構成を示すブロック図である。シフト/インバート 113~120、第 1 次加算器 138、139 及び第 2 次加算器 140 の相互間の第 0 次乃至第 2 次部分積の伝達関係は図 1 乃至図 4 に示されるものと同様であるので、図面の煩雑を回避するために図 5 においては省略している。

【0059】図 5 においては、シフト/インバート 113~120 のいずれも分割されることなく、これらの端部を揃えてこの順に上から下へと配列されている。第 1 次加算器 138 の上位加算器 33 と、第 1 次加算器 139 の下位加算器 34 とはそれぞれの一端をシフト/インバート 113~120 の端部に揃えつつ、シフト/インバート 116 とシフト/インバート 117 との間の同一の行に配列している。また、第 1 次加算器 138 の下位加算器 37、第 2 次加算器の下位加算器 38 はシフト/インバート 113 のすぐ上にこの順に上方へと配列されている。更に、第 1 次加算器 139 の上位加算器 35、第 2 次加算器の上位加算器 36 はシフト/インバート 120 のすぐ下にこの順に下方へと配列されている。

【0060】具体的には、上位部 1, 3, 5, 7 のそれぞれの最上位ビットに対応するシフト/インバート素子 B_{0117} , B_{0217} , B_{0317} , B_{0417} と、上位加算器 33 の最上位ビットに対応する加算素子 P_{0123} と、上位部 9, 11, 13, 15 の最上位ビットに対応する B_{0517} , B_{0617} , B_{0717} , B_{0817} と、上位加算器 35 の最上位ビットに対応する加算素子 P_{0223} と、上位加算器 36 の最上位ビットに対応する加算素子 P_{0332} とが、この順に上から下へと同一の列（図中、左端の列）に配列されている。

【0061】一方、下位加算器 38, 37 のそれぞれの最下位ビットに対応する加算素子 P_{0301} , P_{0101} と、下位部 2, 4, 6, 8 のそれぞれの最下位ビットに対応するシフト/インバート素子 B_{0101} , B_{0201} , B_{0301} , B

0401 と、下位加算器 34 の最下位ビットに対応する加算素子 P_{0201} と、下位部 10, 12, 14, 16 の最下位ビットに対応する B_{0501} , B_{0601} , B_{0701} , B_{0801} と、下位加算器 36 の最下位ビットに対応する加算素子 P_{0316} とが、この順に上から下へと同一の列（図中、右端の列）に配列されている。

【0062】第 1 次加算器 138 のうち、上位加算器 33 のビット数は、その下位加算器 37 のビット数よりもビット数が少ない。また第 1 次加算器 139 のうち、下位加算器 34 のビット数は、その上位加算器 35 のビット数よりもビット数が少ない。従って、上位加算器 33 と下位加算器 34 とを同一の行に配置しても、その行方向の幅は第 1 次加算器 138, 139 よりも短くなる。

【0063】しかも第 0 次部分積を生成するシフト/インバートの上位部と下位部との境界を、乗算結果の最下位から 15 ビット目と 16 ビット目という、乗算結果のほぼ中央近傍に採っている。換言すれば、シフト/インバートの総てを分割できるような位置に境界を採っている。このため第 2 次加算器 140 はいずれも 17 ビットを越えないビット数の上位部 36 及び下位部 38 に分割されて配置される。

【0064】従って、従来の場合に見られたような空き領域 DS1, DS2 を内部に作ることなく、有効に面積を利用してシフト/インバート 113~120、第 1 次加算器 138, 139 及び第 2 次加算器 140 の配列の集積度を高めることができる。

【0065】勿論、下位加算器 38 の最上位ビットに対応する加算素子 P_{0315} 及び下位加算器 37 の最上位ビットに対応する加算素子 P_{0115} を図中の左端の列に並べて配置することもできるし、上位加算器 35 の最下位ビットに対応する加算素子 P_{0208} を図中の右端の列に並べても良い。

【0066】(B-2) 実施の形態 2。

図 6 は本発明の実施の形態 2 の構成を示すブロック図である。実施の形態 1 とは異なり、第 1 次加算器 138 の上位加算器 33 と、第 1 次加算器 139 の下位加算器 34 とが互いに異なる行に配置されている。そして、同一のシフト/インバートを構成する上位部及び下位部も、互いに異なる行に配置されている。更に、第 2 次加算器 140 の下位加算器 38 が配置されている行、第 1 次加算器 138 の下位加算器 37 が配置されている行、第 1 次加算器 139 の上位加算器 35 が配置されている行、及び第 2 次加算器 140 の上位加算器 36 が配置されている行にも、シフト/インバートの上位部若しくは下位部が配置されている。

【0067】具体的には上から順に、第 1 行目にはシフト/インバート 113 の上位部 1 と第 2 次加算器 140 の下位加算器 38 とが、第 2 行目にはシフト/インバート 114 の上位部 3 と第 1 次加算器 138 の下位加算器 37 とが、第 3 行目にはシフト/インバート 115 の上

位部5とシフト／インバータ113の下位部2とが、第4行目にはシフト／インバータ116の上位部7とシフト／インバータ114の下位部4とが、第5行目には第1次加算器138の上位加算器33とシフト／インバータ115の下位部6とが、第6行目にはシフト／インバータ117の上位部9とシフト／インバータ116の下位部8とが、第7行目にはシフト／インバータ118の上位部11と第1次加算器139の下位加算器34とが、第8行目にはシフト／インバータ119の上位部13とシフト／インバータ117の下位部10とが、第9行目にはシフト／インバータ120の上位部15とシフト／インバータ118の下位部12とが、第10行目には第1次加算器139の上位加算器35とシフト／インバータ119の下位部14とが、第11行目には第2次加算器140の上位加算器36とシフト／インバータ120の下位部16とが、それぞれ配置されている。

【0068】このような配列において行方向の幅を律するのは第3, 4, 8, 9行であり、その幅は21ビット分に相当する。これは実施の形態1における行方向の幅が17ビット分であったことと比較すると、配列に必要な領域が行方向に大きいことを示している。しかし、行数は実施の形態1において13行必要であったのに対し、実施の形態2においては11行必要であり、列方向に小さな領域で配列することが可能である。

【0069】つまり、実施の形態2を適用することにより、列方向に大きな領域を準備することができない場合であっても、空き領域を内部に作ることなく、有効に面積を利用してシフト／インバータ及び加算器の配列を行うことができる。

【0070】(B-3) 実施の形態3.

図7は本発明の実施の形態3の構成を示すブロック図である。実施の形態1において図5を用いて示された配列に対し、ブースエンコード素子45～52をどの様に配置するかを示している。

【0071】図7においては、上位部1, 3, 5, 7, 9, 11, 13, 15、下位部2, 4, 6, 8, 10, 12, 14, 16、上位加算器33, 35, 36及び下位加算器34, 37, 38の構成は既に図1乃至図6において示されたものと同一であるので、これらは単なるビット数に応じた行方向の幅を持ったブロックとして示されている。但し、第0次部分積の上位部分積17, 19, 21, 23, 25, 27, 29, 31及び下位部分積18, 20, 22, 24, 26, 28, 30, 32、第1次部分積の上位部分積39, 40及び下位部分積41, 42、並びに第2次部分積の上位部分積43及び下位部分積44は概念的に矢印で示している。正確な第0次乃至第2次部分積の伝達関係は図1乃至図4に示されたものと同一である。

【0072】シフト／インバータ113～120が配置されている行の上位部側にブースエンコード素子45～

52はそれぞれ配置されている。そして修正乗数たる制御信号104～111がそれぞれシフト／インバータ113～120に与えられている。このように本実施の形態によれば、全ての制御信号を同一の行に配置されたシフト／インバータに与えれば良いので、制御信号の配線が単純化され、その敷設が容易となる。

【0073】(B-4) 実施の形態4.

図8は本発明の実施の形態4の構成を示すブロック図である。実施の形態1において図5を用いて示された配列に対し、ブースエンコード素子45～52をどの様に配置するかを示している。

【0074】シフト／インバータ113～120が配置されている行にブースエンコード素子45～52はそれぞれ配置されている。但し、実施の形態3において図7に示された構成とは異なり、シフト／インバータの上位部と下位部との間に挟まれて配置されている。シフト／インバータの上位部の行方向の幅は各シフト／インバータによって異なるので、ブースエンコード素子45～52は行方向にずれて配置される（同一の列には配置されない）。

【0075】そして修正乗数たる制御信号104～111がブースエンコード素子45～52の左右から出力されている。つまり、ブースエンコード素子45の左側から出力された制御信号104はシフト／インバータ113の上位部1へ、右側から出力された制御信号104はシフト／インバータ113の下位部2へ、それぞれ伝達される。同様に、ブースエンコード素子46の左側から出力された制御信号105はシフト／インバータ114の上位部3へ、右側から出力された制御信号105はシフト／インバータ114の下位部4へ、ブースエンコード素子47の左側から出力された制御信号106はシフト／インバータ115の上位部5へ、右側から出力された制御信号106はシフト／インバータ115の下位部6へ、ブースエンコード素子48の左側から出力された制御信号107はシフト／インバータ116の上位部7へ、右側から出力された制御信号107はシフト／インバータ116の下位部8へ、ブースエンコード素子49の左側から出力された制御信号108はシフト／インバータ117の上位部9へ、右側から出力された制御信号108はシフト／インバータ117の下位部10へ、ブースエンコード素子50の左側から出力された制御信号109はシフト／インバータ118の上位部11へ、右側から出力された制御信号109はシフト／インバータ118の下位部12へ、ブースエンコード素子51の左側から出力された制御信号110はシフト／インバータ119の上位部13へ、右側から出力された制御信号110はシフト／インバータ119の下位部14へ、ブースエンコード素子52の左側から出力された制御信号111はシフト／インバータ120の上位部15へ、右側から出力された制御信号111はシフト／イン

パート120の下位部16へ、それぞれ伝達される。

【0076】このように本実施の形態によれば、実施の形態3と同様に制御信号の配線が単純化されてその敷設が容易となる。しかもブースエンコード素子が行方向にずれて配置されるので、被乗数と平行に（つまり上下方向から）乗数が与えられる場合にもそれをブースエンコード素子に伝達する配線も単純化されてその敷設が容易となる。

【0077】(B-5) 実施の形態5。

図9は本発明の実施の形態5の構成を示すブロック図である。実施の形態2において図6を用いて示された配列に対し、ブースエンコード素子45～52をどの様に配置するかを示している。

【0078】シフト/インバート113～120のそれぞれの上位部1, 3, 5, 7, 9, 11, 13, 15が配置されている行の左側にブースエンコード素子45～52がそれぞれ配置されている。かかる配置を行うと、ブースエンコード素子は、そこから2行分だけ下に位置する下位部に制御信号を伝達する必要があるため、かかる伝達に要する配線を横切つて必要となり、複雑化する。

【0079】しかし、制御信号の伝達に必要な配線は高々数本以下なので、配線の複雑化に伴う面積の増加は小さい。従つてこのような配置を行つても実施の形態1で得られる効果を殆ど損なうことが無い。

【0080】(B-6) 実施の形態6。

図10は本発明の実施の形態6の構成を示すブロック図である。実施の形態2において図6を用いて示された配列に対し、ブースエンコード素子45～52をどの様に配置するかを示している。

【0081】シフト/インバート113～120のそれぞれの上位部1, 3, 5, 7, 9, 11, 13, 15が配置されている行の右側にブースエンコード素子45～52がそれぞれ配置されている。かかる配置を行つても、実施の形態5と同様に、配線の複雑化に伴う面積の増加は小さいので、実施の形態3で得られる効果を殆ど損なうことが無い。

【0082】しかも、乗算装置の設計上、列方向の長さよりも行方向の幅の制限の方が緩い場合に実施の形態3のように行数を抑制するような配列が行われる。よつて、そのような制限下で被乗数と平行に乗数が与えられる場合には、実施の形態4よりも、実施の形態6が望ましい。

【0083】(B-7) 実施の形態7。

図11は本発明の実施の形態7の構成を示すブロック図である。実施の形態2において図6を用いて示された配列に対し、ブースエンコード素子45～52をどの様に配置するかを示している。

【0084】実施の形態3や実施の形態7においては、同一のシフト/インバートを構成する上位部及び下位部

が互いに2行分だけ離れた行に配置されている。そして実施の形態7では同一のシフト/インバートを構成する上位部が配置された行と、下位部が配置された行との間の行に、対応するブースエンコード素子が配置される。

【0085】具体的には第2行目にはシフト/インバート114の上位部3と第1次加算器138の下位加算器37との間にブースエンコード素子45が、第3行目にはシフト/インバート115の上位部5とシフト/インバート113の下位部2との間にブースエンコード素子46が、第4行目にはシフト/インバート116の上位部7とシフト/インバート114の下位部4との間にブースエンコード素子47が、第5行目には第1次加算器138の上位加算器33とシフト/インバート115の下位部6との間にブースエンコード素子48が、第7行目にはシフト/インバート118の上位部11と第1次加算器139の下位加算器34との間にブースエンコード素子49が、第8行目にはシフト/インバート119の上位部13とシフト/インバート117の下位部10との間にブースエンコード素子50が、第9行目にはシフト/インバート120の上位部15とシフト/インバート118の下位部12との間にブースエンコード素子51が、第10行目には第1次加算器139の上位加算器35とシフト/インバート119の下位部14との間にブースエンコード素子52が、それぞれ配置される。

【0086】このような配置を行うことで、ブースエンコード素子45の左側から出力される制御信号104をシフト/インバート113の上位部1へ伝達する配線の長さと、右側から出力される制御信号104をシフト/インバート113の下位部2へ伝達する配線の長さとを、ほぼ等しく設計することができる。従つて、同一のシフト/インバートにおける動作時間のずれを抑制することができる。

【0087】勿論、被乗数と平行に乗数が与えられる場合における実施の形態4、実施の形態6の効果は、実施の形態7においても発揮される。

【0088】C. キャリーの処理。

「(A) 基本的思想。」において少し触れたが、下位加算器34の最上位ビットに対応する加算要素 P_{0207} のキャリー端子Cからは信号61が、加算要素 P_{0207} のキャリー・アウト端子COからは信号62が、下位加算器37の最上位ビットに対応する加算要素 P_{0115} のキャリー端子Cからは信号63が、キャリー・アウト端子COからは信号64が、下位加算器38の最上位ビットに対応する加算要素 P_{0315} のキャリー端子Cからは信号65が、キャリー・アウト端子COからは信号66が、それぞれ得られる。

【0089】信号61～66はいずれも乗算結果の下から16ビット目において加算されるべき値を有しており、以下の実施の形態ではこれらの処理についてのバリエーションが示される。

【0090】(C-1)実施の形態8.

図12は本発明の実施の形態8の構成を示すブロック図である。実施の形態1で図2を用いて示された配列において、信号61～66を加算するための(キャリア加算用の)4入力2出力の加算素子70を更に設けた構成が示されている。下位部分積44は、信号65と、それぞれ以外の部分である信号群44aとから構成されている。

【0091】図2においては加算素子 P_{0116} のキャリア・イン端子CIに与えられていたために略記されていた信号62は、信号61、63、64と共に加算素子70の4入力に与えられる。また、加算素子70のキャリア・イン端子CIには P_{0315} のキャリア・アウト端子COから信号66が与えられる。

【0092】この結果、加算素子70のサム端子S及びキャリア端子Cからはそれぞれ信号67、68が得られ、キャリア・アウト端子COから信号69が得られる。信号65、67はいずれも乗算結果の下から16ビット目において加算されるべき値であり、信号68、69はいずれも乗算結果の下から17ビット目において加算されるべき値である。つまり、乗算結果の下から16ビット目では信号65、67と第2次部分積の上位部分積43の最下位ビットの2つのデータとを加算する必要があり、乗算結果の下から17ビット目では信号68、69と第2次部分積の上位部分積43の最下位ビットよりも1ビットだけ上位の2つのデータとを加算する必要がある。

【0093】図13は最終加算部131の構成を示すブロック図である。最終加算部131は上位加算器36と同じく17ビット分だけ図21に示されるように接続された4入力2出力加算素子で構成された前段加算器72と、32ビット分の2入力1出力加算素子で構成された後段加算器74とで構成されている。

【0094】前段加算器72は第2次部分積の上位部分積43と、信号65、67～69を入力し、ビット毎に一对をなす信号群71を出力する。後段加算器73は信号群44aを下位側で、信号群71を上位側で、それぞれ加算処理して乗算結果74を出力する。

【0095】このような構成を採ることにより、後段加算器73にはビット毎に一对の入力しか与えられず(換言すれば、信号群44a、71はどのビットに於いても互いに重なるということがないので)、これをキャリア・ルック・アヘッド方式などにより容易に実現することができる。しかも、前段加算器72において加算処理が実行されている際には、後段加算器73の下位側(信号群44aが入力するビット)の加算処理を並行して実行することができるので、前段加算器72を設けたことによる速度劣化は生じない。このように本実施の形態によれば、実施の形態1の効果を損なうことなく、速度の遅延もなく、キャリアの処理を行うことができる。

【0096】なお、本実施の形態では実施の形態1におけるキャリアの処理について説明したが、他の実施の形態2～7に対しても同様に適用することができる。

【0097】(C-2)実施の形態9.

図14は本発明の実施の形態9の構成を示すブロック図である。実施の形態1で図5を用いて示された配列において、信号61～63を加算するための(キャリア加算用の)2入力(キャリア・イン端子CI付き)2出力の加算素子75を更に設けた構成が示されている。

【0098】「(A)基本的思想。」においては信号62が加算素子 P_{0116} のキャリア・イン端子CIに与えられていたが、本実施の形態においては信号64がこれに与えられている。信号64も第1次加算器の下位加算器のキャリアであるという点で信号62と等価であるためである。

【0099】また、信号62は加算素子 P_{0208} のキャリア・イン端子CIに与えられている。このような信号62、64の与え方は、むしろ図23乃至図26で示された従来技術と共通した技術である。

【0100】一方、信号61、63は加算素子75の2入力に与えられ、信号66は加算素子75のキャリア・イン端子CIに与えられている。

【0101】以上のような構成を採ることにより、加算素子75における加算結果は多くとも $1+1+1=11$ であり、これを出力するには2ビットの信号があれば足りる。つまり、加算素子75の出力するのはそれぞれ1ビットの信号67、68のみで足り、キャリア・アウト端子COは必要ない。従って、加算素子75の構成を加算素子70の構成よりも簡素化することができ、また信号69を伝達する為の配線も不要である。

【0102】勿論、信号62、64が互いに等価であることから、これらを入れ換えることも可能である。図15は図14に示された構成に対して、信号62、64を入れ換えた構成を示している。

【0103】なお、本実施の形態では実施の形態1におけるキャリアの処理について説明したが、他の実施の形態2～7に対しても同様に適用することができる。

【0104】また、本実施の形態では第0次部分積が8個の場合について説明したが、第0次部分積の数が更に増加してワレス・ツリーの加算段数(次数)が増加すると、キャリアの入出力の組み合わせの自由度が増し、本実施の形態の思想によって得られる効果は更に顕著となる。

【0105】(C-3)実施の形態10.

図16は本発明の実施の形態10の構成を示すブロック図である。実施の形態1で図5を用いて示された配列において、信号61～66の伝搬の様子を示したものである。

【0106】第1次加算器の下位加算器から対として得られるキャリアの一方である信号62、64は第1次加

算器の上位加算器33, 35へキャリー・インとして与えられる(図16においては信号62が加算要素 P_{0116} へ、信号64が加算要素 P_{0208} へ、それぞれ与えられているが、これらは入れ換えても良い)。

【0107】ところで、図4においては第2次加算器140の上位加算器36の加算要素 P_{0316} には上位加算器33からの(より正確には加算要素 P_{0116} のサム端子Sから出力される)1ビットと、上位加算器35からの(より正確には加算要素 P_{0208} のサム端子Sから出力される)1ビットとの2ビットしか入力されていない。

【0108】本実施の形態においては、第2次加算器に属する加算要素 P_{0316} の他の入力端子であるキャリー・イン端子CI及び2つの入力端子に、それぞれ第2次加算器140の下位加算器38の加算要素 P_{0315} から対として得られるキャリーの一方である信号66と、第1次加算器に属する加算要素 P_{0115} 、 P_{0207} から対として得られるキャリーの他方である信号63, 61を与える様子が示されている。

【0109】このようにして信号61~64, 66を伝搬させることにより、キャリー加算用の加算要素を別途設ける必要はなく、ハードウェア量を削減することができる。

【0110】この際、第2次加算器140の下位加算器38の加算要素 P_{0315} から対として得られるキャリーの他方である信号65は、第2次部分積の下位部分積44の中で最上位ビットに対応するので、後段加算器73のうちの信号65に対応するビット(即ち第2次部分積の下位部分積43の最下位ビット)におけるキャリー・インとして、後段加算器73に与えることができる。従って、最終加算器131において前段加算器72をも省略することができ、一層、ハードウェア量を削減することができる。

【0111】本実施の形態では実施の形態1におけるキャリーの処理について説明したが、勿論、他の実施の形態2~7に対しても同様に適用することができる。

【0112】(C-4) 実施の形態11。

上記の実施の形態ではワレス・ツリーの第1次乃至第2次加算器を4入力2出力の加算素子で構成した場合について説明してきたが、3入力2出力の加算素子で構成することもできる。

【0113】図17は第1次加算器132, 133、第2次加算器134, 135、第3次加算器136、第4次加算器137によってワレス・ツリー部129を構成した場合を例示するブロック図である。

【0114】第1次加算器132には第0次部分積121~123が、第1次加算器133には第0次部分積124~126が、第2次加算器134には第1次加算器132の出力及び第1次部分積133の出力の上位側(これらはいずれも第1次部分積である)が、第2次加算器135には第1次加算器133の出力の下位側(こ

れは第1次部分積である)及び第0次部分積127, 128が、第3次加算器136には第2次加算器134の出力及び第2次加算器135の出力の上位側(これらはいずれも第2次部分積である)が、第4次加算器137には第3次加算器136の出力(これは第3次部分積である)及び第2次加算器135の出力の下位側(これは第2次部分積である)が、それぞれ与えられる。そして第4次加算器137は最終部分積130を出力する。

【0115】このように、ワレス・ツリー部129の加算段数(次数)が多くなっても本発明を適用することができる。図18は3入力2出力の加算素子でワレス・ツリーを構成した場合の部分積の伝搬を示すブロック図である。

【0116】第1次加算器の一部である上位加算器201は上位部1, 3, 5から第0次部分積として出力される信号を加算し、第1次部分積として出力される2つの出力を両方とも第2次加算器の一部である上位加算器205へ与える。また、第1次加算器の一部である上位加算器202は上位部7, 9, 11から第0次部分積として出力される信号を加算し、第1次部分積として出力される2つの出力の一方を上位加算器205へ与える。

【0117】上位加算器202の2つの出力の他方は上位部13, 15から第0次部分積として出力される信号と共に、第2次加算器の一部である上位加算器206に与えられる。上位加算器206から第2次部分積として出力される2つの出力の一方は、第2次部分積として上位加算器205から出力される信号と共に第3次加算器の一部である上位加算器207に与えられる。上位加算器207は第3次部分積として出力される2つの出力を両方とも第4次加算器の一部である上位加算器208に与える。上位加算器208には、上位加算器206から第2次部分積として出力される2つの出力の他方も与えられ、上位加算器208は第4次部分積として機能する信号を出力する。

【0118】第1次加算器の一部である下位加算器203は下位部12, 14, 16から第0次部分積として出力される信号を加算し、第1次部分積として出力される2つの出力を両方とも第2次加算器の一部である下位加算器209へ与える。また、第1次加算器の一部である下位加算器204は下位部6, 8, 10から第0次部分積として出力される信号を加算し、第1次部分積として出力される2つの出力の一方を下位加算器209へ与える。

【0119】下位加算器204の2つの出力の他方は下位部2, 4から第0次部分積として出力される信号と共に、第2次加算器の一部である下位加算器210に与えられる。下位加算器210から第2次部分積として出力される2つの出力の一方は、第2次部分積として下位加算器209から出力される信号と共に第3次加算器の一部である下位加算器211に与えられる。下位加算器2

11は第3次部分積として出力される2つの出力を両方とも第4次加算器の一部である下位加算器212に与える。下位加算器212には、下位加算器210から第2次部分積として出力される2つの出力の他方も与えられ、下位加算器212は第4次部分積として機能する信号を出力する。

【0120】図18に示された構成は図1乃至図4に示されたそれと対応しており、よって図5乃至図16に示されたような実施の形態と同様に、各シフタ/インバータ、加算器を配列し、面積の有効利用を図ることができる。

【0121】上記実施の形態においてはブースのアルゴリズムを用いた場合について説明したが、ブースのアルゴリズムを用いない場合に於いても適用できることは言う待たない。

【0122】

【発明の効果】この発明のうち請求項1にかかる乗算装置によれば、ワレス・ツリーを採用する乗算装置において、行方向に最も長い配置領域を必要とする第*i*次加算器のそれぞれを上位加算器と下位加算器とに分割し、これらを互いに異なる行に配置することによって、行方向に必要な配置領域の長さを短縮することができる。

【0123】この発明のうち請求項2にかかる乗算装置によれば、一対の第1次加算器のいずれもが最終部分積の特定の桁を境界として分離されることにより、上位加算器の長さ及び下位加算器の長さは第1次加算器同士で異なる。よって短いほうの上位加算器と、短い方の下位加算器とを同一の行に配置することにより、乗算装置全体の行方向の寸法を短くすることができる。

【0124】この発明のうち請求項3にかかる乗算装置によれば、空き領域を無くし、集積度を高めることができる。

【0125】この発明のうち請求項4、請求項9にかかる乗算装置によれば、第1次加算器の上位加算器と同じ行に配置される下位部を有する部分積生成部や、第1次加算器の下位加算器と同じ行に配置される上位部を有する部分積生成部が存在するので、これらの部分積生成部を配置する行を節約することができる。

【0126】この発明のうち請求項5にかかる乗算装置によれば、ブースのアルゴリズムによって修正乗数の数を乗数の桁数よりも低減できるので、部分積生成部の数を低減することができる。

【0127】この発明のうち請求項6、請求項7にかかる乗算装置によれば、ブース・エンコードを配置するための行を特に設ける必要がなく、修正乗数を伝達するための配線が単純化され、その敷設が容易となる。

【0128】この発明のうち請求項8、請求項10にかかる乗算装置によれば、部分積生成部は第1次加算器の上位加算器及び下位加算器にそれぞれ対応する上位部及び下位部に分割される。第1次加算器の上位加算器と下

位加算器は最終部分積の特定の桁を以て境界とするので、部分積生成部の上位部及び下位部も最終部分積の特定の桁を以て分割されることになる。よって異なる部分積生成部の上位部の長さは互いに異なり、同一の部分積生成部に属する上位部と下位部とに挟まれて配置されるブース・エンコードは、対応する部分積生成部が異なれば、行方向に異なる位置を占めることになる。よって、乗数が与えられる方向が被乗数の与えられる方向と平行である場合に、乗数をブース・エンコードに伝達するための配線が単純化され、その敷設が容易となる。

【0129】この発明のうち請求項11にかかる乗算装置によれば、ブース・エンコードから得られる修正乗数を、対応する部分積生成部の上位部、下位部に伝達する経路の長さを等しくして信号伝搬のズレを抑制しつつ、この発明のうち請求項4、請求項8にかかる乗算装置の効果を得ることができる。

【0130】この発明のうち請求項12にかかる乗算装置によれば、第1次部分積の上位桁と下位桁とを互いに反対方向に導き出すことにより、いずれの方向に第1次以降の部分積を取り出す必要があっても、その全体を迂回させる必要がなく、上位桁、または下位桁のみを迂回させるのみでよい。

【0131】この発明のうち請求項13にかかる乗算装置によれば、後段加算器には桁毎に一対の入力しか与えられず、換言すれば前段加算器の出力と、最終部分積の下位側のうち下位キャリーを除く部分とはどの桁に於いても互いに重なるということがないので、これをキャリー・ルック・アヘッド方式などにより容易に実現することができる。しかも、前段加算器において加算処理が実行されている際には、後段加算器の下位側（最終部分積の下位側のうち下位キャリーを除く部分）の加算処理を並行して実行することができるので、前段加算器を設けたことによる速度劣化は生じない。よって速度の遅延もなく、キャリーの処理を行うことができる。

【0132】この発明のうち請求項14にかかる乗算装置によれば、キャリー用加算器の入力及び出力の数を抑制することができるので、構成を簡易にしつつも、この発明のうち請求項13にかかる乗算装置の効果を得ることができる。

【0133】この発明のうち請求項15にかかる乗算装置によれば、キャリー用加算器を別途設けること無く、また最終部分積の上位側と下位側の桁の重なりを調整するための前段加算器も必要なく、ハードウェア量を低減しつつも、この発明のうち請求項13にかかる乗算装置の効果を得ることができる。

【図面の簡単な説明】

【図1】 図2乃至図4と相まって、この発明の基本的思想を示すブロック図である。

【図2】 図1、図3及び図4と相まって、この発明の基本的思想を示すブロック図である。

【図3】 図1、図2及び図4と相まって、この発明の基本的思想を示すブロック図である。

【図4】 図1乃至図3と相まって、この発明の基本的思想を示すブロック図である。

【図5】 本発明の実施の形態1を示すブロック図である。

【図6】 本発明の実施の形態2を示すブロック図である。

【図7】 本発明の実施の形態3の構成を示すブロック図である。

【図8】 本発明の実施の形態4の構成を示すブロック図である。

【図9】 本発明の実施の形態5の構成を示すブロック図である。

【図10】 本発明の実施の形態6の構成を示すブロック図である。

【図11】 本発明の実施の形態7の構成を示すブロック図である。

【図12】 本発明の実施の形態8の構成を示すブロック図である。

【図13】 最終加算部131の構成を示すブロック図である。

【図14】 本発明の実施の形態9の構成を示すブロック図である。

【図15】 本発明の実施の形態9の他の構成を示すブロック図である。

【図16】 本発明の実施の形態10の構成を示すブロック図である。

【図17】 本発明の実施の形態11の構成を示すブロック図である。

【図18】 本発明の実施の形態11の構成を示すブロック図である。

【図19】 従来の乗算器の構成を示すブロック図である。

【図20】 従来の技術を示すブロック図である。

【図21】 従来の技術を示す回路図である。

【図22】 従来の技術を示す回路図である。

【図23】 図24乃至図26と相まって、従来の技術を示すブロック図である。

【図24】 図23、図25及び図26と相まって、従来の技術を示すブロック図である。

【図25】 図23、図24及び図26と相まって、従来の技術を示すブロック図である。

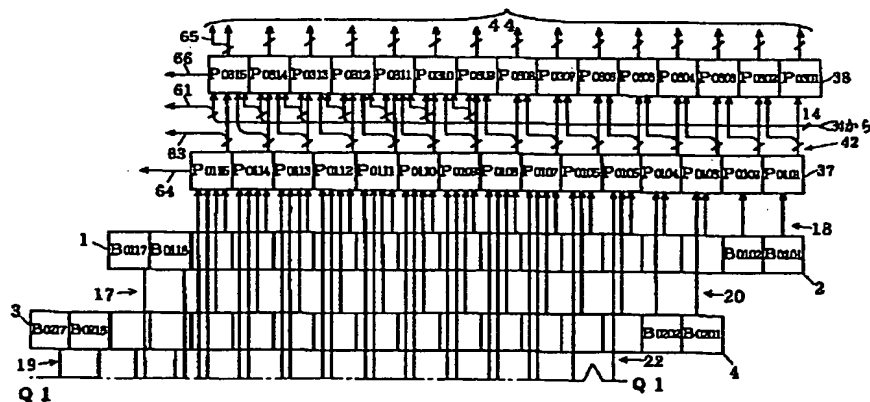
【図26】 図23乃至図25と相まって、従来の技術を示すブロック図である。

【図27】 従来の技術を示すブロック図である。

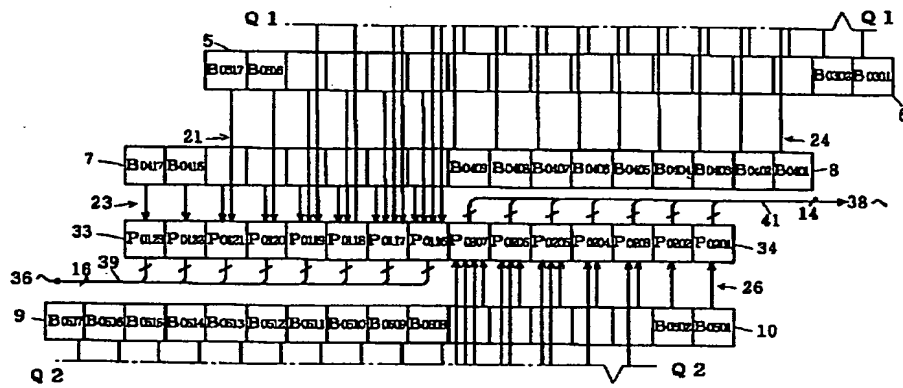
【符号の説明】

1, 3, 5, 7, 9, 11, 13, 15 上位部、2, 4, 6, 8, 10, 12, 14, 16 下位部、17, 19, 21, 23, 25, 27, 29, 31, 39, 40, 43 上位部分積、18, 20, 22, 24, 26, 28, 30, 32, 41, 42, 44 下位部分積、33, 35, 36 上位加算器、34, 37, 38 下位加算器、129 ワレス・ツリー部、45~52 ブースエンコード素子、103 ブース・エンコーダ、70, 75 加算素子、72 前段加算器、73 後段加算器、131 最終加算器、121~128 第0次部分積、113~120 シフト/インバータ、138, 139 第1次加算器、140 第2次加算器。

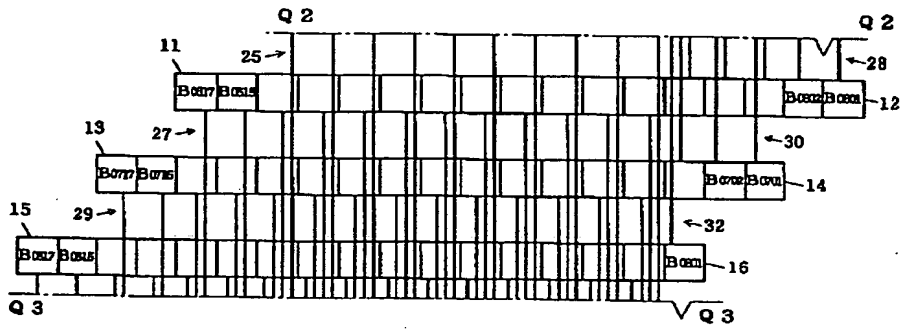
【図1】



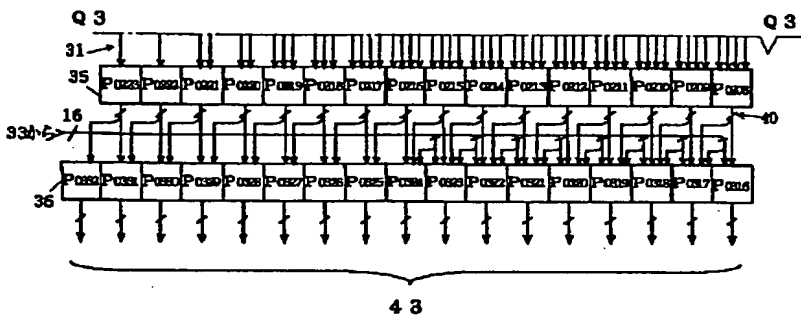
【図 2】



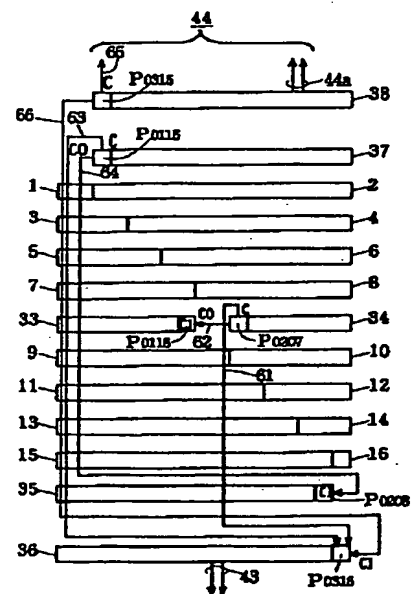
【図 3】



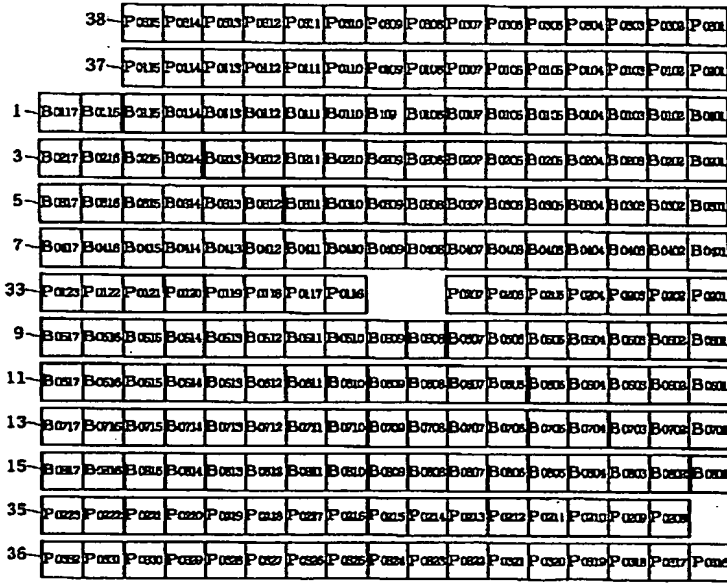
【図 4】



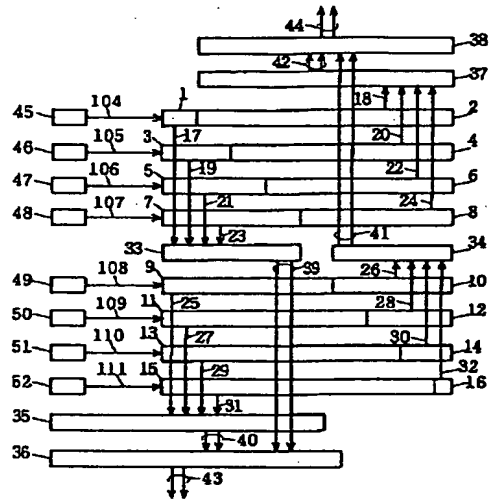
【図 16】



【図5】



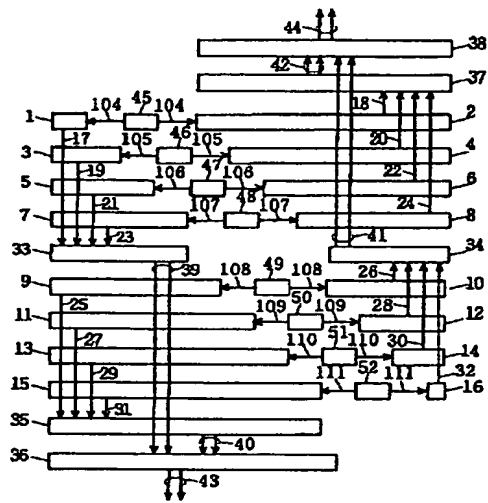
【図7】



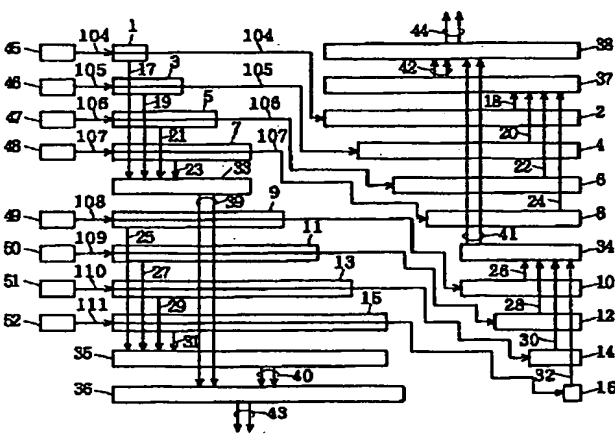
【図6】



【図 8】

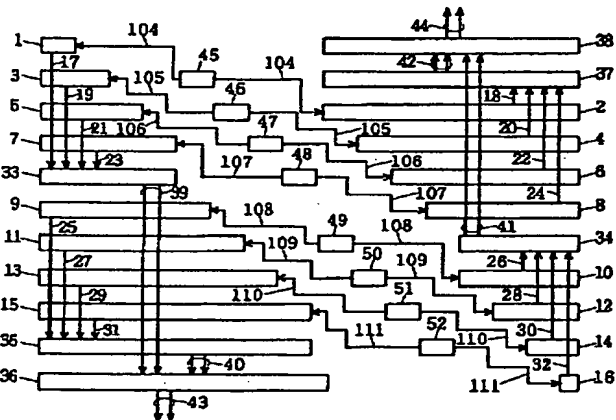
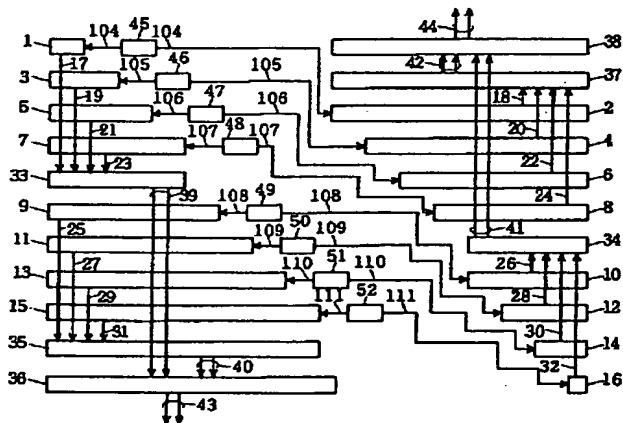


【図 9】

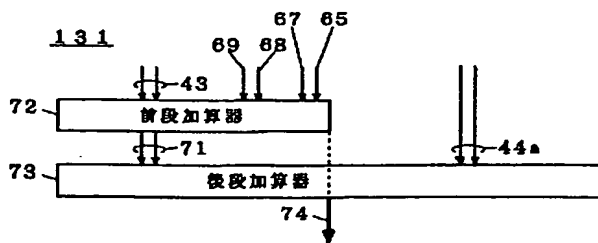


【図 11】

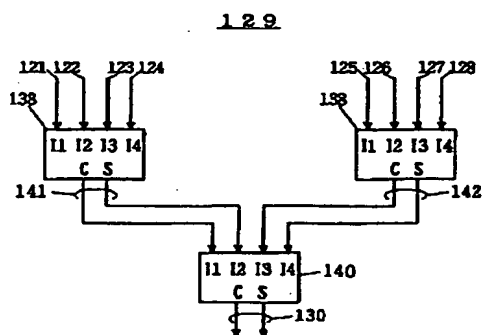
【図 10】



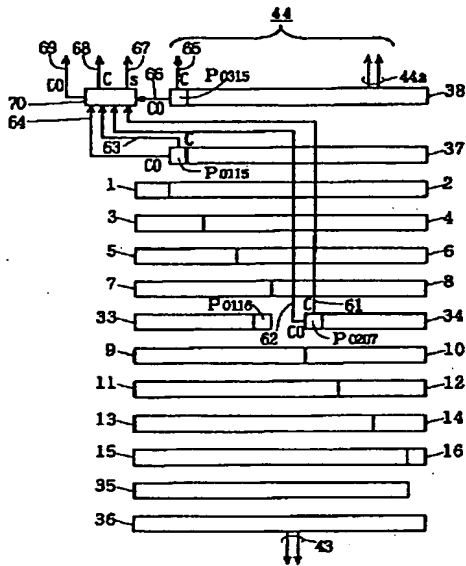
【図 13】



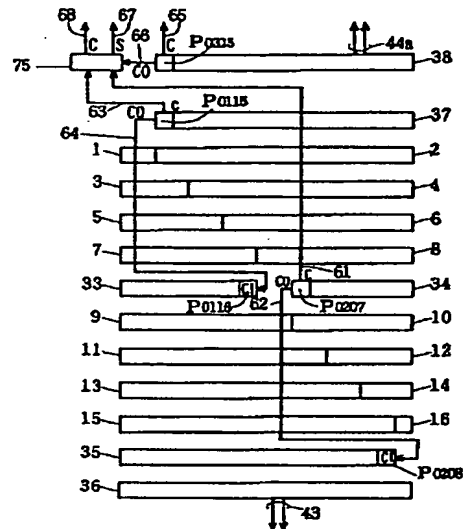
【図 20】



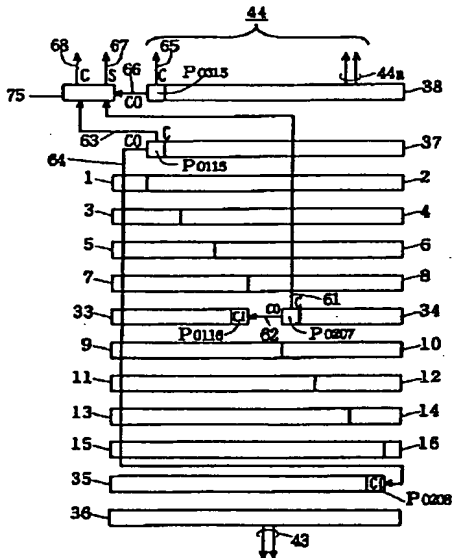
【図12】



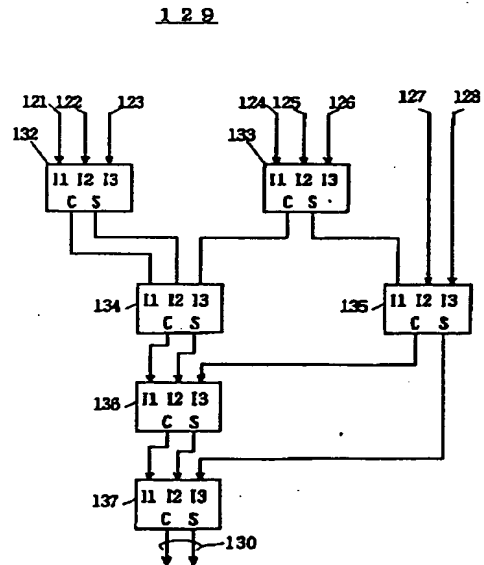
【図14】



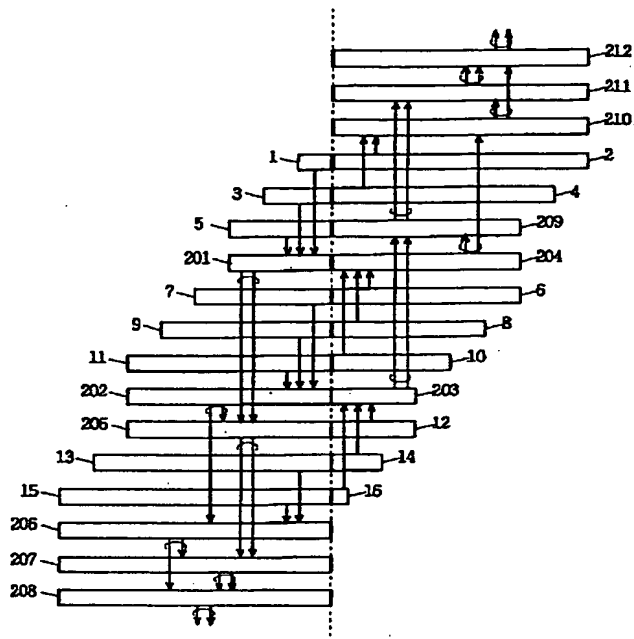
【図15】



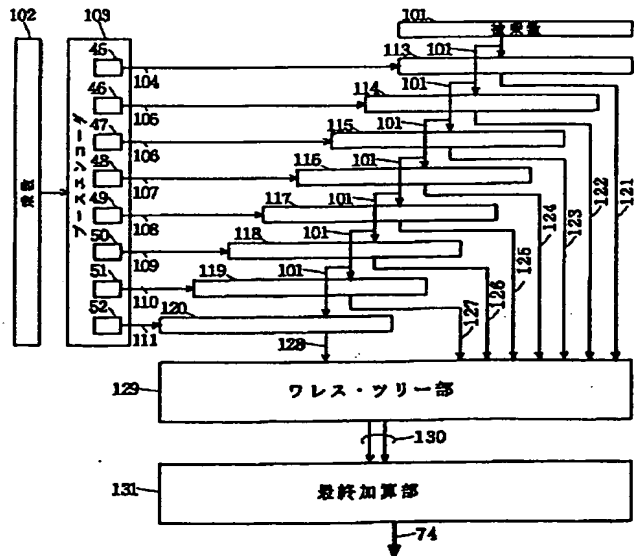
【図17】



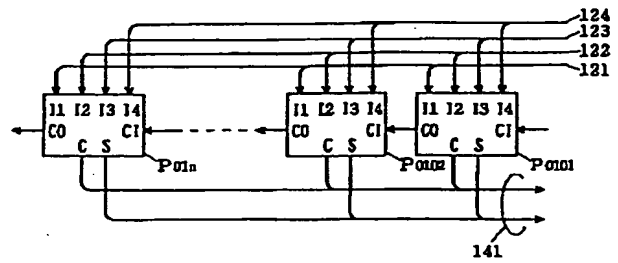
【図18】



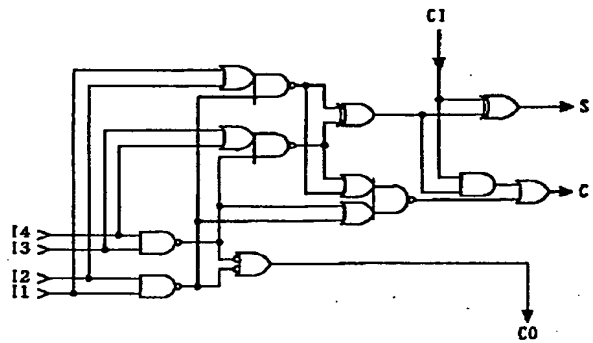
【図19】



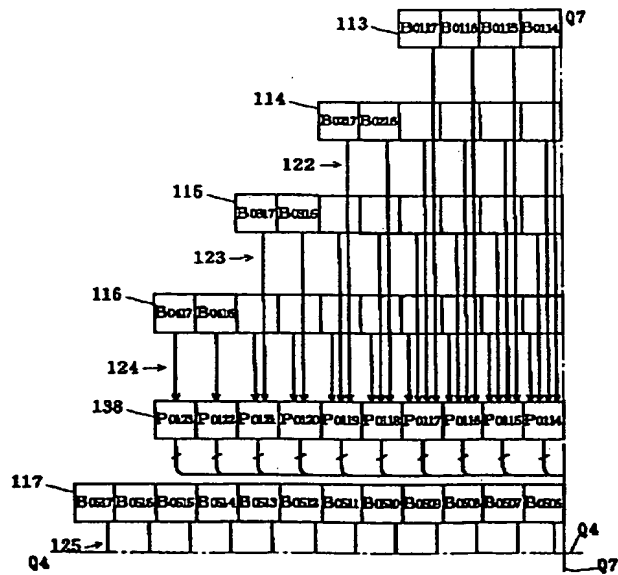
【図21】



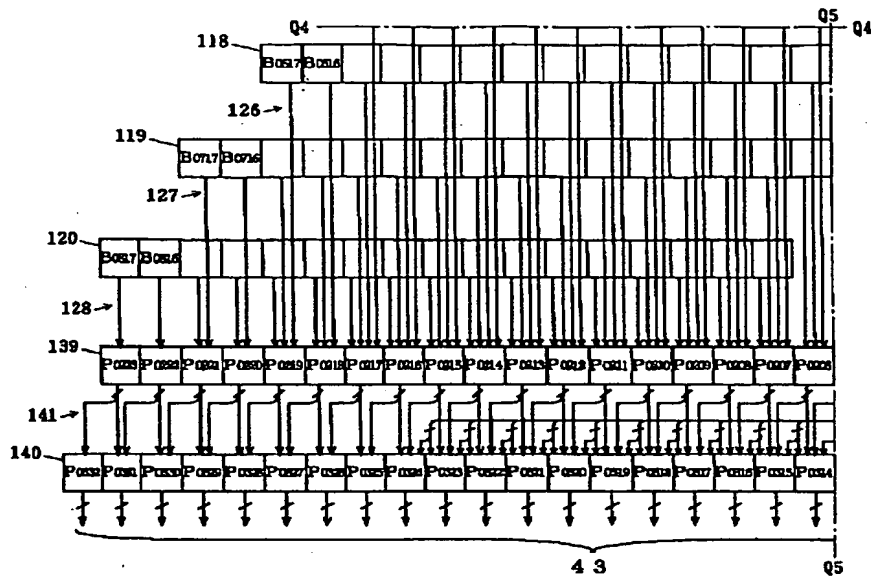
【図22】



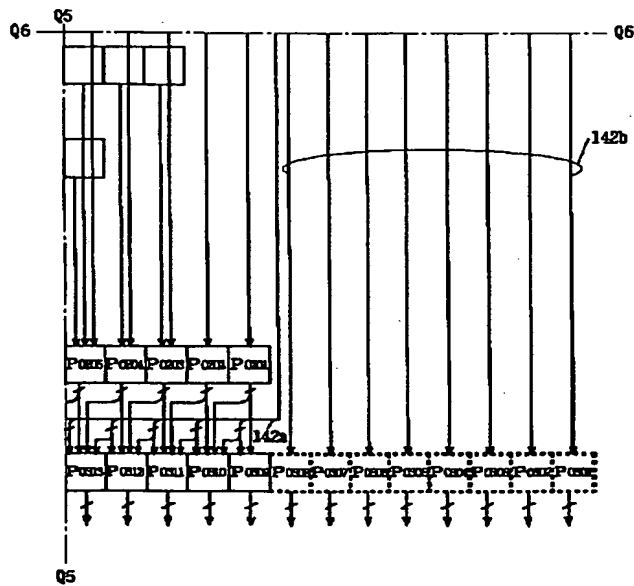
【図25】



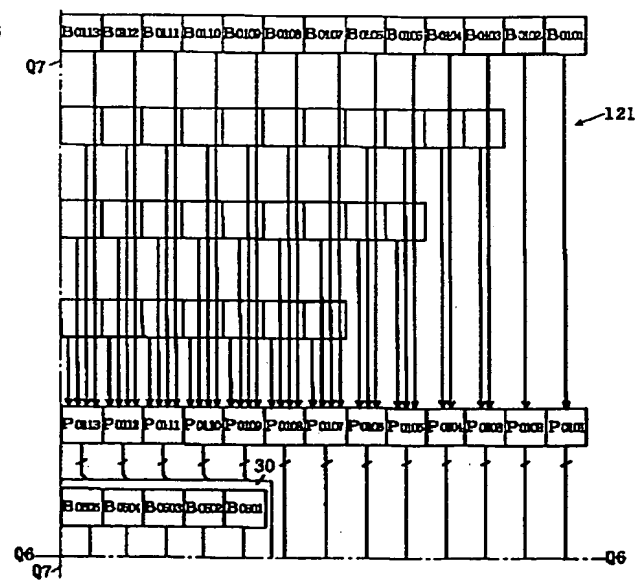
【図 23】



【図 24】



【図 26】



【図27】

